

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月27日

出 願 番 号

Application Number:

特願2002-187998

[ST.10/C]:

[JP2002-187998]

出 願 人

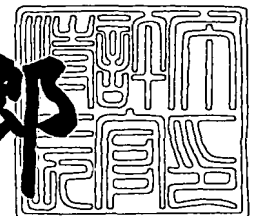
Applicant(s):

ソニー株式会社

2003年 4月 1日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3022934

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 6月27日

出 願 番 号  
Application Number:

特願2002-187998

[ST.10/C]:

[JP2002-187998]

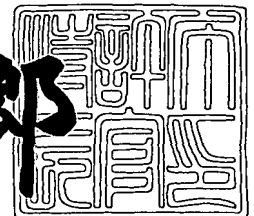
出 願 人  
Applicant(s):

ソニー株式会社

2003年 4月 1日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3022934

【書類名】 特許願

【整理番号】 0100174809

【提出日】 平成14年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 近藤 哲二郎

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 中屋 秀雄

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 市川 勉

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 井上 孝夫

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100092336

【弁理士】

【氏名又は名称】 鈴木晴敏

【電話番号】 0466-54-2640

【手数料の表示】

【予納台帳番号】 010191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709206

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス表示装置及び画像信号処理装置

【特許請求の範囲】

【請求項 1】 画素が行列状に配されたパネルと、

上記パネル上の画素を行単位で順次選択する走査回路と、

各画素の書き換えの有無を表わすステータス部及び各画素に書き込む画像データを表わすデータ本体部とからなる画像データを逐次受け入れ、選択された各画素のうちステータス部により書き換え有りとされた画素に対してのみ対応する画像データを書き込み、残りの画素は飛び越すようにした信号回路と、

を備えるアクティブマトリクス表示装置。

【請求項 2】 行列配置した画素を含む画素アレイ部と、

画素を行単位で順次選択する走査回路と、

各画素に対応するドットデータをシリアルに含む画像信号を受け入れ、選択された画素に該ドットデータを書き込む信号回路とを備えたアクティブマトリクス表示装置において、

前記信号回路は、書き換えるべき画素に対応するドットデータを含む一方書き換えない画素に対応するドットデータを含んでおらずその代りに飛越量を規定したスキップデータを含んだ画像信号を受け入れ、

該ドットデータ及びスキップデータを逐次処理し、飛越量に応じて書き換え不要の画素を飛越しながら書き換えるべき画素にのみ対応するドットデータを書き込むことを特徴とするアクティブマトリクス表示装置。

【請求項 3】 前記信号回路は、ともにステータス部とデータ部からなる同一フォーマットのドットデータ及びスキップデータを含む画像信号を受け入れ、

ステータス部によりドットデータとスキップデータを識別し、

識別されたスキップデータのデータ部から、飛び越すべき画素の個数を表わす飛越量を得る一方、

識別されたドットデータのデータ部から、書き換えるべき画素の輝度情報を抽出することを特徴とする請求項 2 記載のアクティブマトリクス表示装置。

【請求項 4】 前記信号回路は、飛び越すべき画素の個数が一個のスキップ

データで規定可能な最大数を越えている時、目標の飛越量に到達するまで連続的に入力されるスキップデータを処理して画素の飛越しを実行することを特徴とする請求項 3 記載のアクティブマトリクス表示装置。

【請求項 5】 前記信号回路は、行単位で飛越量を規定する行スキップデータを含む画像信号を受け入れ、該行スキップデータに応じて行単位でドットデータの書き込みを飛越し可能なことを特徴とする請求項 2 記載のアクティブマトリクス表示装置。

【請求項 6】 前記信号回路は、該ドットデータ及び該スキップデータを含む画像信号を処理して行列配置した画素を部分的に書き換える部分書換動作を行なうフレームと、該ドットデータを含む画像信号を処理して行列配置した画素を全面的に書き換える全面書換動作を行なうフレームとを、所定の割合で混合することを特徴とする請求項 2 記載のアクティブマトリクス表示装置。

【請求項 7】 前記信号回路に対して該ドットデータ及び該スキップデータを含む画像信号を供給する信号処理回路を含んでおり、

該信号処理回路は、注目画素に対応する現フレームの画像データと前フレームの画像データとの差分を検出し差分値を出力する差分検出手段と、

該差分検出手段により出力された差分値が所定の閾値以上であるか否かを判別する判別手段と、

該判別手段により上記差分値が所定の閾値以上であると判別されたとき、画素の書き換え有りを示すステータスデータと現フレームの画像データとによりドットデータを生成し、該差分検出手段により出力された差分値が所定の閾値未満であるとき、画素書き換え無しを示すステータスデータと次に書き換えるべき画素までの飛越し量を規定する飛越量とによりスキップデータを生成する出力データ生成手段とからなることを特徴とする請求項 2 記載のアクティブマトリクス表示装置。

【請求項 8】 注目画素に対応する現フレームの画像データと前フレームの画像データとの差分を検出し差分値を出力する差分検出手段と、

上記差分検出手段により出力された差分値が所定の閾値以上であるか否かを判別する判別手段と、

上記判別手段により上記差分値が所定の閾値以上であると判別されたとき、画素の書き換え有りを示すステータスデータと現フレームの画像データとにより出力データを生成し、上記差分検出手段により出力された差分値が所定の閾値未満であるとき、画素の書き換え無しを示すステータスデータと次に書き換えるべき画素までの飛越し量を規定する飛越量とにより出力データを生成する出力データ生成手段と、

を備える信号処理装置。

【請求項 9】 画素が行列状に配されたパネルを備えたアクティブマトリクス表示装置の駆動方法であって、

上記パネル上の画素を行単位で順次選択する手順と、

各画素の書き換えの有無を表わすステータス部及び各画素に書き込む画像データを表わすデータ本体部とからなる画像データを逐次受け入れる手順と、

選択された各画素のうちステータス部により書き換え有りとされた画素に対してのみ対応する画像データを書き込み、残りの画素は飛び越す手順とを行なう、

アクティブマトリクス表示装置の駆動方法。

【請求項 10】 行列配置した画素を含む画素アレイ部と、画素を行単位で順次選択する走査回路と、各画素に対応するドットデータをシリアルに含む画像信号を受け入れ、選択された画素に該ドットデータを書き込む信号回路とを備えたアクティブマトリクス表示装置の駆動方法であって、

書き換えるべき画素に対応するドットデータを含む一方書き換えない画素に対応するドットデータを含んでおらずその代りに飛越量を規定したスキップデータを含んだ画像信号を受け入れる手順と、

該ドットデータ及びスキップデータを逐次処理し、飛越量に応じて書き換え不要の画素を飛越しながら書き換えるべき画素にのみ対応するドットデータを書き込む手順とを行なうことを特徴とするアクティブマトリクス表示装置の駆動方法。

【請求項 11】 注目画素に対応する現フレームの画像データと前フレームの画像データとの差分を検出し差分値を出力する差分検出手順と、

上記差分検出手順により出力された差分値が所定の閾値以上であるか否かを判

別する判別手順と、

上記判別手順により上記差分値が所定の閾値以上であると判別されたとき、画素の書き換え有りを示すステータスデータと現フレームの画像データとにより出力データを生成し、上記差分検出手順により出力された差分値が所定の閾値未満であるとき、画素の書き換え無しを示すステータスデータと次に書き換えるべき画素までの飛越し量を規定する飛越量とにより出力データを生成する出力データ生成手順と、

を有する信号処理方法。

【請求項 1 2】 画素が行列状に配されたパネルを備えるアクティブマトリクス表示装置を駆動するために実行されるコンピュータプログラムであって、

上記パネル上の画素を行単位で順次選択する手順と、

各画素の書き換えの有無を表わすステータス部及び各画素に書き込む画像データを表わすデータ本体部とからなる画像データを逐次受け入れる手順と、

選択された各画素のうちステータス部により書き換え有りとされた画素に対してのみ対応する画像データを書き込み、残りの画素は飛び越す手順とを含む、

コンピュータプログラム。

【請求項 1 3】 行列配置した画素を含む画素アレイ部と、画素を行単位で順次選択する走査回路と、各画素に対応するドットデータをシリアルに含む画像信号を受け入れ、選択された画素に該ドットデータを書き込む信号回路とを備えたアクティブマトリクス表示装置を駆動するために実行されるコンピュータプログラムであって、

書き換えるべき画素に対応するドットデータを含む一方書き換えない画素に対応するドットデータを含んでおらずその代りに飛越量を規定したスキップデータを含んだ画像信号を受け入れる手順と、

該ドットデータ及びスキップデータを逐次処理し、飛越量に応じて書き換え不要の画素を飛越しながら書き換えるべき画素にのみ対応するドットデータを書き込む手順とを有することを特徴とするコンピュータプログラム。

【請求項 1 4】 コンピュータによって実行される信号処理プログラムであって、



注目画素に対応する現フレームの画像データと前フレームの画像データとの差分を検出し差分値を出力する差分検出手順と、

上記差分検出手順により出力された差分値が所定の閾値以上であるか否かを判別する判別手順と、

上記判別手順により上記差分値が所定の閾値以上であると判別されたとき、画素の書き換え有りを示すステータスデータと現フレームの画像データとにより出力データを生成し、上記差分検出手順により出力された差分値が所定の閾値未満であるとき、画素の書き換え無しを示すステータスデータと次に書き換えるべき画素までの飛越し量を規定する飛越量とにより出力データを生成する出力データ生成手順とを有する

信号処理プログラム。

【請求項 1 5】 請求項 1 2 に記載したコンピュータプログラムを格納した記憶媒体。

【請求項 1 6】 請求項 1 3 に記載したコンピュータプログラムを格納した記憶媒体。

【請求項 1 7】 請求項 1 4 に記載した信号処理プログラムを格納した記憶媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はアクティブマトリクス表示装置及び画像信号処理装置に関する。より詳しくは、動画表示を行なう場合などフレーム毎に変化の生じた画素に画像データを書き込んでいく部分書き込み方式あるいは差分書き込み方式を採用したアクティブマトリクス表示装置に関する。又、部分書き込みを可能とする画像信号の生成もしくは処理を行なう画像信号処理装置に関する。

【0 0 0 2】

【従来の技術】

アクティブマトリクス表示装置はフラットタイプであり、C R T に代わる次世代ディスプレイとして開発が進められている。図 7 は、従来のアクティブマトリ

クス表示装置の一般的な構成を示す模式的なブロック図である。図示する様に、この表示装置は画素アレイ部 1 とこれを駆動する周辺回路部 2 3 とで構成されている。画素アレイ部 1 と周辺回路部 2 3 は同一基板上に形成される場合と、別体として構成する場合がある。画素アレイ部 1 は行状のゲート線 X と列状の信号線 Y と両者の交差部に配置した行列状の画素とを含んでいる。個々の画素は T F T などのスイッチング素子により駆動される。T F T のゲート電極は対応するゲート線 X に接続し、ソース電極は対応する信号線 Y に接続し、ドレイン電極は対応する画素に接続している。

#### 【 0 0 0 3 】

周辺回路部 2 3 は垂直シフトレジスタ 2 X と水平シフトレジスタ 3 Y とサンプリングスイッチ群 3 1 とを含んでいる。垂直シフトレジスタ 2 X は各ゲート線 X を介して画素を行単位で順次選択する。サンプリングスイッチ群 3 1 はビデオライン V L と各信号線 Y との間に介在する複数のサンプリングスイッチを含んでいる。ビデオライン V L には外部の信号源から画像信号が供給される。画像信号は各画素に対応したドットデータを含み、時系列一次元構成となっている。水平シフトレジスタ 3 Y は、順次サンプリングスイッチを開閉駆動して、画像信号をビデオライン V L から各信号線 Y にサンプリングし、選択された行の画素に対して点順次で対応するドットデータを書き込んでいく。

#### 【 0 0 0 4 】

この様に、従来のアクティブマトリクス表示装置は時系列一次元の画像信号を点順次で画素に書き込んでいく点順次駆動型が一般的である。場合によっては、サンプリングスイッチ群 3 1 と各信号線 Y との間に一行分のラッチ回路を設け、選択された画素の行に、線順次で画像信号を書き込む線順次駆動型もある。従来のアクティブマトリクス表示装置は、画像入力形式が C R T と同じ時系列一次元であり、一フレーム毎に点順次で全画素を更新している。この方式は、画素数が増えるに連れ、サンプリングクロック周波数の増大化を招く。

#### 【 0 0 0 5 】

#### 【発明が解決しようとする課題】

アクティブマトリクス表示装置は次のフレームまで画素の輝度がそのまま維持

される特徴があり、いわゆるホールド特性を有している。ホールド特性は、動画の品質においては動きぼけの原因になるが、この特性を積極的に使って、動画などを表示する際にフレーム差分だけを更新する方式が提案されており、例えば特開 2 0 0 0 - 2 8 4 7 5 5 に開示されている。図 8 を参照して、フレーム差分だけを更新する部分書換方式の原理を簡潔に説明する。図 8 は  $n$  番目のフレーム ( $nF$ ) から  $n+1$  番目のフレーム ( $n+1F$ ) に切り換わる画面のパターンを典型的に表わしている。画面中で円形のオブジェクトは移動物体を表わし、縦長型のオブジェクトは静止物体を表わしている。(A) はカメラ固定の場合で、移動物体のみが  $nF$  と  $n+1F$  との間で変化している。この様に、移動物体が画面の一部にのみ存在する場合、フレーム差分成分が画面全体に対して最も少なくなる。この場合、フレーム差分のみを更新することで、動画表示が可能になる。(B) の場合、移動物体を追尾する様にカメラも移動している。この時には画面中の静止物体が総体的にフレーム間で変化することになる。(C) の場合移動物体とは無関係にカメラが移動している。この時には、フレーム間で移動物体及び静止物体の両方が変化する。(B) 及び (C) の場合、カメラが動く為原理的にはフレーム差分成分が画面全体を占めることになるが、実際には元々の画面に空間的な冗長度があり、その分差分の占める割合も減る。従って、(A) ~ (C) のいずれのパターンでも、フレーム差分だけを各フレーム書き換え、全画面の書換は数フレーム ~ 数十フレーム周期で行なうことが可能になる。この様な部分書換と全面書換を混合することで、ほぼ各フレームの書き換え画素数は差分画素数だけで済む。仮に、差分画素数が全体の 10% とすれば、サンプリングクロック周波数 (ドットクロック) も  $1/10$  に低速化できる。

#### 【0006】

図 9 は部分書き込みを可能としたアクティブマトリクス表示装置の一例を示すブロック図である。図 7 に示した先の従来例と対応する部分には対応する参照番号を付して理解を容易にしている。図示の例は、点順次駆動型の表示装置で部分書換を行なう様に、水平シフトレジスタに代えて水平アドレッシング回路 3A を採用したものである。図 7 の点順次駆動方式では、水平シフトレジスタ 3Y が順次サンプリングスイッチを開閉制御している。これに対し、図 9 の水平アドレッ

シング回路 3 A は必要なサンプリングスイッチのみを開閉制御する為、ランダムスキヤニングを行なっている。水平アドレッシング回路 3 A には画像信号に加え、アドレス信号も供給される。アドレス信号は書き換えを必要とする画素の位置を指定するものである。水平アドレッシング回路 3 A はこのアドレス信号に応じてサンプリングスイッチをランダムアクセスし、必要な画素のみにドットデータをランダムアクセスで書き込む。図 9 に示した部分書換を行なうことで、ドットデータの転送速度を低減化できるというメリットが得られる。仮に、画像形式が 60 フレーム/秒、 $720 \times 480$  画素の点順次走査の場合、ドットデータの転送速度（ドットクロック）は約 25 MHz となる。CRT と同じ時系列一次元入力の場合、アクティブマトリクス表示装置では垂直方向に約 30 KHz で動作するシフトレジスタが必要であり、水平方向では約 25 MHz で動作する水平シフトレジスタが必要になる。これは、画像が静止画であっても動画であっても変わらない。ここで、差分画素数が全体の 10% とすればドットクロックも  $1/10$  に低速化可能である。この方法なら、データ転送速度の低減に効果があり、又画像入力側の符号化信号と組み合わせて効率のよい表示形式を構成できる。

#### 【0007】

しかしながら、差分画像を表示する為、メモリと同様なランダムアドレッシングを採用すると、パネルに対して画像入力に加えアドレス入力も必要となる。そうすると、表示装置に対する外部入力端子数が増える。又、表示装置側においても水平アドレッシング回路内にアドレスデコーダなどが必要となり、周辺回路が複雑化する。その為、表示装置の周辺回路部分の規模が大きくなり好ましくない。更にランダムアドレッシングでは、水平/垂直ともにアクセス周波数がドット周波数（数十 MHz）となり、アドレッシング動作の確実性が危うくなるとともに、パネル内の配線長による伝搬遅延やノイズの問題も大きくなり、必ずしも適切とは言えない。この様にフレーム間で変化した部分だけを書き換える方式において、書き換えるべき画素に対しメモリと同様なランダムアドレッシングを行なうことは、必ずしも賢明な方式とは言えず、解決すべき課題となっている。

#### 【0008】

図 10 は、ランダムアドレッシングを模式的に表わしている。図では画素をド

ット（○印）で表わしてある。黒ドットは書き換えるべき画素であり、白ドットは書き換え不要な画素を示している。個々の画素の位置は絶対アドレスで与えられており、ある基準点からの絶対的な距離／方向で、書き換えるべき画素を指定する。この絶対アドレス情報に基づき、水平アドレッシング回路 3 A はサンプリングスイッチ群をランダムスキャンし、所望の画素にドットデータを書き込んでいく。例えば、黒ドットは（X 1, Y 2）、（X 2, Y 4）、（X 3, Y 6）といった絶対アドレスで特定される。しかしながら、ランダムアドレッシングでは、次の画素を点灯する際、前の画素からの距離／方向ともランダムになってしまう。極端な場合、例えば画面左上から画面右下といった様に最も離れたところにスキャンする場合、これをドットクロックの数 MHz の速度で行なうことは、集積度の高いメモリならともかく、物理的にある程度の面積を持ったアクティブマトリクス表示装置では困難である。

#### 【 0 0 0 9 】

##### 【課題を解決するための手段】

上述した従来技術の課題に鑑み、本発明は周辺回路構成を複雑化することなく部分書き込みを可能としたアクティブマトリクス表示装置を提供することを目的とする。係る目的を達成するために以下の手段を講じた。即ち、本発明に係るアクティブマトリクス表示装置は、画素が行列状に配されたパネルと、上記パネル上の画素を行単位で順次選択する走査回路と、各画素の書き換えの有無を表わすステータス部及び各画素に書き込む画像データを表わすデータ本体部とからなる画像データを逐次受け入れ、選択された各画素のうちステータス部により書き換え有りとされた画素に対してのみ対応する画像データを書き込み、残りの画素は飛び越すようにした信号回路とを含む。

#### 【 0 0 1 0 】

また、本発明は、行列配置した画素を含む画素アレイ部と、画素を行単位で順次選択する走査回路と、各画素に対応するドットデータをシリアルに含む画像信号を受け入れ、選択された画素に該ドットデータを書き込む信号回路とを備えたアクティブマトリクス表示装置において、前記信号回路は、書き換えるべき画素に対応するドットデータを含む一方書き換えない画素に対応するドットデータを

含んでおらずその代りに飛越量を規定したスキップデータを含んだ画像信号を受け入れ、該ドットデータ及びスキップデータを逐次処理し、飛越量に応じて書き換え不要の画素を飛越しながら書き換えるべき画素にのみ対応するドットデータを書き込むことを特徴とする。好ましくは、前記信号回路は、ともにステータス部とデータ部からなる同一フォーマットのドットデータ及びスキップデータを含む画像信号を受け入れ、ステータス部によりドットデータとスキップデータを識別し、識別されたスキップデータのデータ部から、飛び越すべき画素の個数を表わす飛越量を得る一方、識別されたドットデータのデータ部から、書き換えるべき画素の輝度情報を抽出する。この場合、前記信号回路は、飛び越すべき画素の個数が一個のスキップデータで規定可能な最大数を越えている時、目標の飛越量に到達するまで連続的に入力されるスキップデータを処理して画素の飛越しを実行する。また、前記信号回路は、行単位で飛越量を規定する行スキップデータを含む画像信号を受け入れ、該行スキップデータに応じて行単位でドットデータの書き込みを飛越し可能である。さらに前記信号回路は、該ドットデータ及び該スキップデータを含む画像信号を処理して行列配置した画素を部分的に書き換える部分書換動作を行なうフレームと、該ドットデータを含む画像信号を処理して行列配置した画素を全面的に書き換える全面書換動作を行なうフレームとを、所定の割合で混合する。

## 【 0 0 1 1 】

又本発明に係る信号処理装置は、注目画素に対応する現フレームの画像データと前フレームの画像データとの差分を検出し差分値を出力する差分検出手段と、上記差分検出手段により出力された差分値が所定の閾値以上であるか否かを判別する判別手段と、上記判別手段により上記差分値が所定の閾値以上であると判別されたとき、画素の書き換え有りを示すステータスデータと現フレームの画像データとにより出力データを生成し、上記差分検出手段により出力された差分値が所定の閾値未満であるとき、画素の書き換え無しを示すステータスデータと次に書き換えるべき画素までの飛越し量を規定する飛越量とにより出力データを生成する出力データ生成手段とを備えている。

## 【 0 0 1 2 】

本発明に係るアクティブマトリクス表示装置は、アドレス情報と画像信号を別々の系統から受け入れる必要がない。本発明のアクティブマトリクス表示装置は、ドットデータとスキップデータを合成した画像信号に基づき、部分書き込みを行なうことができる。合成画像信号は、書き換えるべき画素に対応するドットデータを含む一方書き換えない画素に対応するドットデータを含んでおらず、その代わりに飛越量を規定したスキップデータを含んでいる。ドットデータとスキップデータを混合したシリアルな画像信号を逐次処理し、飛越量に応じて書き換え不要の画素を飛越しながら書き換えるべき画素にのみ対応するドットデータを書き込む。本発明では、書き換えるべき画素にアドレッシングする際、従来の様に絶対アドレスではなく飛越量という相対アドレスを利用してアクセスしている。ドットデータとスキップデータをシリアルに混合した画像信号を受け入れることで、従来の様に絶対アドレス情報と画像信号を別系統で入力する必要がなくなる。又、シリアル画像信号中では、ドットデータ及びスキップデータはともにステータス部とデータ部からなる同一フォーマットとなっている。ステータス部によりドットデータとスキップデータを識別し、識別されたスキップデータのデータ部から飛び越すべき画素の個数を表わす飛越量（相対アドレス）を得ている。この相対アドレスにより、飛越し走査で部分書換を実現している。

## 【 0 0 1 3 】

## 【発明の実施の形態】

以下図面を参照して本発明の実施の形態を詳細に説明する。図 1 は本発明に係るアクティブマトリクス表示装置の構成並びに動作を示す模式図である。（A）に示す様に、本アクティブマトリクス表示装置は、画素アレイ部 1 と走査回路 2 と信号回路 3 とで構成されている。画素アレイ部 1 は行状のゲート線 X と列状の信号線 Y と両者の交差部に配された行列状の画素とを含んでいる。係る構成を有する画素アレイ部 1 はフラットパネルとして構成することができる。個々の画素を駆動する為、TFT などのスイッチング素子も、パネルに集積形成されている。画素としては、所定の間隙を介して対向配置した画素電極と対向電極との間に液晶を保持した液晶セルを利用することができる。

## 【 0 0 1 4 】

走査回路 2 はゲート線 X に接続されており、画素を行単位で順次選択する。信号回路 3 は、各画素に対応するドットデータをシリアルに含む画像信号を受け入れ、選択された画素にドットデータを書き込む。この目的で、信号回路 3 はサンプリングスイッチ群 31 を備えている。走査回路 2 及び信号回路 3 は、画素アレイ部 1 を構成するパネルに周辺回路として内蔵させることが可能である。場合によっては、画素アレイ部 1 のみでパネルを構成し、周辺回路部は別基板として接続する様にしてもよい。

## 【0015】

特徴事項として、信号回路 3 は飛越し制御部 32 を備えており、「セルフアドレッシング」で部分書き込みを実現している。飛越し制御部 32 は各サンプリングスイッチに画像信号を供給するとともに、その開閉をセルフアドレッシング方式で制御している。具体的には、飛越し制御部 32 は、書き換えるべき画素に対応するドットデータを含む一方書き換えない画素に対応するドットデータを含んでおらずその代わりに飛越量を規定したスキップデータを含んだ画像信号を受け入れる。飛越し制御部 32 は、ドットデータ及びスキップデータを逐次処理し、飛越量に応じて書き換え不要の画素を飛越しながら書き換えるべき画素にのみ対応するドットデータを書き込む。

## 【0016】

飛越し制御部 32 は、共にステータス部とデータ部からなる同一フォーマットのドットデータ及びスキップデータを含む画像信号を受け入れる。飛越し制御部 32 は、ステータス部によりドットデータとスキップデータを識別する。識別されたスキップデータのデータ部から、飛び越すべき画素の個数を表わす飛越量を得る一方、識別されたドットデータのデータ部から、書き換えるべき画素の輝度情報を抽出する。飛越し制御部 32 は、飛び越すべき画素の個数が一個のスキップデータで規定可能な最大数を越えている時、目標の飛越量に到達するまで連続的に入力されるスキップデータを処理して画素の飛越しを実行する。好ましくは、飛越し制御部 32 は、行単位で飛越量を規定する行スキップデータを含む画像信号を受け入れ可能である。この場合、行スキップデータに応じて行単位でドットデータの書き込みを飛越し可能にできる。尚、本実施形態では走査回路 2 及び



信号回路 3 は、ドットデータとスキップデータを含む画像信号を処理して行列配置した画素を部分的に書き換える部分書換動作と、ドットデータのみを含む画像信号を処理して行列配置した画素を全面的に書き換える全面書換動作を選択的に行なうことができる。本実施形態では、部分書換動作を行なうフレーム（差分フレーム）と、全面書換動作を行なうフレーム（リフレッシュフレーム）とを所定の割合で混合可能である。例えば毎フレーム部分書換動作を実行するとともに、数フレーム～数十フレーム周期で全面書換動作を行なう。

## 【 0 0 1 7 】

（B）は、飛越し走査を表わした模式図である。画素を○印のドットで示している。黒ドットが書き換えるべき画素で白ドットが書き換え不要の画素を表わしている。一番目の黒ドットから二番目の黒ドットまでの間に書き換え不要な白ドットが 7 個介在している。本発明では、最初の黒ドットから次の黒ドットまで飛越し走査を行なうことで、部分書き換えを実現している。飛越量はスキップデータで与えられる。通常の画像信号は、最初の黒ドットデータの後 7 個の白ドットデータが続きその後二番目の黒ドットデータとなる。本発明では、2 個の黒ドットデータの間に挿入された 7 個の白ドットデータの代わりにスキップデータが置き換わる。このスキップデータは初めの黒ドットから次の黒ドットまでの飛越量を表わしている。図示の例では、スキップデータは飛越量が画素の個数で 7 となっている。この様に、本発明では書き換えるべき画素を指定する為従来の様な絶対アドレスではなく飛越量という相対アドレスを用いている点に特徴がある。

## 【 0 0 1 8 】

図 2 はドットデータとスキップデータの具体的な構成を示す模式図である。（A）に示す様に、ドットデータはパラレル 9 ビット構成となっており、MSB がステータス部（フラグ）となり、残る LSB までの 8 ビットがデータ部を構成している。フラグとなる MSB が 0 の場合、書き換え有りを表わし当該パラレル 9 ビットデータがドットデータであることを表わしている。ステータス部に続くデータ部は該当する画素の輝度を表わしている。通常、データ部は当該画素に書き込まれるべき階調データである。本実施例の場合、データ部は 8 ビット構成であり、256 階調のデータを書き込むことができる。図示の例では、階調データは

16進表示でE0となっている。E0は十進表示で224である。従って、画素は階調レベル224に相当する輝度書き換えられることになる。

## 【0019】

(B)はスキップデータを表わしている。スキップデータは(A)に示したドットデータと同一フォーマットでありパラレル9ビット構成となっている。ステータス部のMSBが1である時、書き換え無しを表わし、当該パラレル9ビットデータがドットデータではなくスキップデータであることを指標している。スキップデータの本体部は8ビット構成で飛越量を表わしている。具体的には、飛び越すべき画素の個数を $2^8=256$ 個まで指定可能である。図示の例の場合、飛越量は $E0=224$ となっている。従って、このスキップデータは224画素飛越して次の画素にアドレッシングすべきことを指示している。尚、飛越量が最大数256を越える場合には、スキップデータを連続させることで、所望の飛越量を実質的に指定することができる。

## 【0020】

通常の画像データは例えば8ビット構成で256階調を表現する。本発明では、これに1ビット加え画像データを9ビット構成としている。下位8ビットは通常の画像データに割り振り、MSBは書き換えの有無をインデックス化している。書き換え有りなら、下位8ビットは通常の画像データとして扱い、表示画素へ書き込まれる。書き換え無しの場合、飛び越すべき画素数を示す飛越量を下位8ビットに入れる。この方法だと最高256ドットまで飛び越すことができる。以上の様なステータスビットの追加により、画像データ(ドットデータ)と飛越量データ(スキップデータ)を同一フォーマットで画像信号に混合することができる。これにより、新たなアドレスバスを追加せずに済み、効率よく部分書換による表示が行なえる。又、書き換えのインデックスが連続して無しのスキップデータを供給すれば、連続飛越しが実現し、結果的に任意の距離だけ飛越し走査を行なうことができる。この様にして画面の書換スピードの低減化を主たる目的とした部分書換を実現できる。その際、飛越し構造による相対アドレス指定により、部分書換を効率よく行なうことができる。

## 【0021】

図 3 は、ドットデータとスキップデータを混合した合成画像信号を生成する信号処理部 4 を表わす模式的なブロック図である。信号処理部 4 は図 1 に示した画素アレイ部 1、走査回路 2 及び信号回路 3 とともにアクティブマトリクス表示装置の一部として包含させることができる。あるいは、信号処理部 4 は別体とし、その出力である合成画像信号を図 1 に示したアクティブマトリクス表示装置に供給する様にしてもよい。

#### 【 0 0 2 2 】

信号処理部 4 は原画像信号 A（例えばデジタルビデオ信号）を処理してドットデータとスキップデータを含む合成画像信号 D を生成する。この目的で、信号処理部 4 はフレームメモリ 4 1、ディレイ 4 2、フレームメモリ 4 3、差分検出部 4 4、判別部 4 5、画像データ生成部 4 6、飛越データ生成部 4 7 及び合成部 4 8 を含んでいる。フレームメモリ 4 1 は現フレームの画像データを格納する。フレームメモリ 4 3 は現フレームの画像データを遅延処理して得られた前フレームの画像データを格納する。差分検出部 4 4 は、現フレームの画像データと前フレームの画像データとの差分をドット単位で検出し、差分値を出力する。判別部 4 5 は差分検出部 4 4 により出力された差分値が所定の閾値以上であるか否かを判別する。この閾値は例えば 0 レベルから 5 レベルまで適応的に設定可能である。すなわち、表示すべき絵柄に応じて閾値を適応的に変更することができる。例えば絵柄の平坦な部分には高い閾値レベルを設定することが考えられる。判別部 4 5 により差分値が所定閾値以上であると判別された時、画像データ生成部 4 6 は画素書き換え有りを示すステータスデータと現フレームの画像データ A とにより出力データ B（ドットデータ）を生成する。差分検出部 4 4 により出力された差分値が所定閾値未満である時、飛越データ生成部 4 7 は画素書き換え無しを示すステータスデータと次に書き換えるべき画素までの飛越し量を規定する飛越量データとにより出力データ C（スキップデータ）を生成する。合成部 4 8 はドットデータ B とスキップデータ C を混合し、シリアルな合成画像信号 D を得る。この様にして生成された合成画像信号 D は信号回路に供給される。

#### 【 0 0 2 3 】

図 4 は図 3 に示した信号処理部の動作説明に供するタイミングチャートである

。(A)は原画像信号Aを表わしている。原画像信号は8ビット構成のドットデータDをシリアルに含んでいる。このうち、ドットデータD0, D1, D2, D6, D7, D8, D9は書き換えが必要とされたドットデータであり、ハッチングを付したドットデータD3, D4, D5は書き換え不要とされたドットデータである。(B)は画像データ生成部46から出力されたドットデータ列Bを表わしている。画像データ生成部46は書き換えが必要とされたドットデータD0, D1, D2, D6, D7, D8, D9に対してそれぞれステータスビットを付加した上で出力している。その際、書き換え不要とされたドットデータD3, D4, D5は脱落している。(C)は飛越データ生成部47から出力されたスキップデータCを表わしている。飛越データ生成部47は書き換え不要とされたドットデータD3, D4, D5をカウントし、これらの代わりとしてスキップデータSを出力する。スキップデータSは3個のドットデータD3, D4, D5に対応した飛越量 $n=3$ をデータ本体部に格納している。(D)は合成部48から出力された合成画像信号Dを表わしている。合成部48はFIFOを備え、ドットデータD及びスキップデータSを時系列順に整形した上で、シリアルな合成画像信号Dを出力している。図示の例では、ドットデータD2とD6の間に3ドットの飛越を示すステップデータSが挿入されている。

## 【0024】

図5は、図1に示したアクティブマトリクス表示装置の具体的な構成を示すブロック図である。理解を容易にする為、図1と対応する部分には対応する参照番号を付してある。本実施例に係る表示装置はM行N列の画素アレイ部1と走査回路2と信号回路とで構成されている。図示する様に、信号回路はサンプリングスイッチ群31と飛越し制御部32とで構成されている。飛越し制御部32はセレクタ321とデコーダ322とで構成されている。デコーダ322は分離部3221と計数部3222とアドレスレジスタ(ADR)3223とで構成されている。

## 【0025】

分離部3221はステータス部(フラグ)を参照してシリアル画像データをドットデータDとスキップデータSに分離する。ドットデータDはサンプリングス

イチ群 3 1 に供給され、対応する画素に書き込まれる。又、ドットデータ D はアドレスレジスタ 3 2 2 3 にも供給され、その値を順次インクリメントする。アドレスレジスタ 3 2 2 3 は書き換え対象となる画素のアドレスを逐次格納更新するものである。一方スキップデータ S は計数部 3 2 2 2 に入力され、データ本体部に含まれる飛越量が読み取られる。アドレスレジスタ 3 2 2 3 は計数部 3 2 2 2 から入力される飛越量に応じてレジスタ内容の数値を飛越し更新する。セレクタ 3 2 1 はアドレスレジスタ 3 2 2 3 から逐次出力されるアドレス情報に従い、サンプリングスイッチを開閉制御する。その際、アドレスレジスタ 3 2 2 3 で指定されたアドレスに対応するサンプリングスイッチのみ開閉動作される為、飛越し走査が可能になる。

## 【 0 0 2 6 】

尚、アドレスレジスタ 3 2 2 3 は最大値が一行分に含まれる画素の個数 N に設定されている。換言すると、アドレスレジスタ 3 2 2 3 は信号線 Y の本数を順に N まで数える様になっている。アドレスレジスタ 3 2 2 3 の内容が最大値を越えた時（オーバーフローした時）桁上げ信号が走査回路 2 に送られ、次の行の選択が行なわれる。

## 【 0 0 2 7 】

図 6 は図 5 に示した表示装置の飛越し走査を示すフローチャートである。スタートした後まずステップ P 1 でアドレスレジスタ A D R を 0 に初期化する。次にステップ P 2 に進み、入力データのフラグ F L G をチェックする。F L G = 1 の場合、入力データはスキップデータである。この時にはステップ P 3 に進みステップデータ S から飛越量 n を獲得する。続いてステップ P 4 に進み、A D R の内容を飛越量 n だけスキップインクリメントする。一方 F L G = 0 の場合、入力データはドットデータであり、ステップ P 5 に分岐する。ステップ P 5 でアドレスレジスタの内容を 1 だけインクリメントした後、ステップ P 6 で該当する画素にドットデータを書き込む。この後ステップ P 7 に合流し、A D R の内容が信号線の総本数に対応する最大値 N を越えたか否か判断する。判定が N O の場合には、ステップ P 2 に戻り上述した処理を繰り返す。一方、ステップ P 7 の判断が Y E S の場合にはステップ P 8 に進み、選択すべきゲート線の番号（行番号）X を 1

だけインクリメントする。更にステップ P 9 に進み行番号 X がゲート線の総本数 M に到達したか否かを判定する。判定結果が N O の場合にはステップ P 2 に戻り、上述した処理を繰り返す。一方、ステップ P 9 の判定結果が Y E S の場合には、1 フレーム分の差分画像の書き込みを終了する。

## 【 0 0 2 8 】

尚、画像信号に行スキップデータが含まれる場合には、図 6 のフローチャートに点線で示すステップ P 1 1、P 1 2 が加えられる。すなわちステップ P 1 1 で行スキップデータが含まれているかどうかを判断する。判定結果が N O の場合には通常通りステップ P 2 に進む。一方判定結果が Y E S の場合には、ステップ P 1 2 にジャンプし、行番号を指定された行飛越量 m だけスキップインクリメントする。これにより、m 行分の画素が一括でスキップ可能となる。

## 【 0 0 2 9 】

尚、図 6 に示した処理フローは、図 5 に示したハードウェア構成で実現できるばかりでなく、ハードウェア構成と等価なソフトウェア構成によっても実現可能である。すなわち、本発明は図 6 に示した飛越走査を可能とするコンピュータプログラムを包含している。更には、飛越走査プログラムを格納した R O M、ハードディスク、C D などの記録媒体も包含している。同様に、図 3 に示した信号処理もコンピュータプログラム化が可能である。

## 【 0 0 3 0 】

尚、上述の実施形態では画素として液晶セルを用いているが、本発明はこれに限られるものではない。液晶ディスプレイ（L C D）の他、いわゆるホールド型のディスプレイであれば本発明を適用可能である。この様なホールド型ディスプレイには、有機 E L 素子、F E D、電子ペーパーなどが含まれる。電子ペーパーは液晶などと同じ薄型ディスプレイ技術の 1 つである。電子”ペーパー”と呼ばれるように見た目が通常の紙に近く、画面内容の維持に電力を消費しないために極めて消費電力が少ないのが特徴である。米国イー・インク社の技術を例にとると、マイナスに帯電したカーボン（黒）とプラスに帯電した酸化チタン（白）を透明な樹脂で包んだ微小なカプセルを使う。これをフィルム上に塗り前面版とする。この下に電極を配する。ここで電極に電圧をかけると酸化チタンとカーボン

が上下に移動して白黒のパターンが形成される。酸化チタンは真っ白な粉で、カーボンが真っ黒な粉である。これで文字や絵を表現するので、見た目は極めて紙に近くなる。液晶のような視野角依存性はない。また一度書き換えると、その表示内容は電気を切っても保持されるため、反射型液晶ディスプレイの10分の1以下という超低消費電力を実現できる。電極には液晶ディスプレイなどで多用されているTFT (Thin Film Transistor) 基板を使う。現在のガラス製のTFT基板をベースにした電子ペーパーの厚さは0.9mm程度、将来プラスチックの薄型TFT基板が使えるようになればさらに薄くできる。既に厚さ0.3mmの電子ペーパーの試作品もできている。プラスチックのようにフレキシブルな基板を使えば、折り曲げることもできる。当初は携帯電話やPDA、電子ブックリーダーなどで採用可能である。

【0031】

【発明の効果】

以上説明した様に、本発明によれば、動画表示でフレーム毎に差分だけを更新する表示装置において、従来のランダムアドレッシングから飛越しアドレッシングにすることで、アドレス入力のための新たなバスを必要としない簡便な回路構成が得られる。従来の様な絶対アドレスに代えて相対アドレスを採用することで、アドレスデコード回路が複雑化することなしに、部分書き換えを実現することが比較的容易になる。更に、本発明に係るセルフアドレッシング方式はランダムアドレッシングに比べ飛越量が大幅に変動することがない。従って、次にアドレスする画素は現画素から近い為信号の伝搬遅延などが生じにくく、動作の確実性が向上する。更に、書き換え不要なドットデータをまとめてスキップデータに置き換えることで、1フレーム当りのデータ数が少なくなり、その分動作クロックを下げる事が可能となり、省電力化に貢献できる。加えて、動作クロックを下げることで、最大動作周波数のマージンが上がり、リフレッシュレートを上げることができるので、高画質化につながる。

【図面の簡単な説明】

【図1】

本発明に係るアクティブマトリクス表示装置を示す模式図である。

【図 2】

図 1 に示した表示装置の動作説明に供する模式図である。

【図 3】

信号処理部のブロック図である。

【図 4】

図 4 に示した信号処理部の動作説明に供するタイミングチャートである。

【図 5】

図 1 に示した表示装置の実施例を示す回路図である。

【図 6】

図 5 に示した実施例の動作説明に供するフローチャートである。

【図 7】

従来のアクティブマトリクス表示装置を示すブロック図である。

【図 8】

部分書き込み方式の原理を表わした模式図である。

【図 9】

従来の部分書き込み方式の表示装置を示すブロック図である。

【図 1 0】

図 9 に示した表示装置の動作説明に供する模式図である。

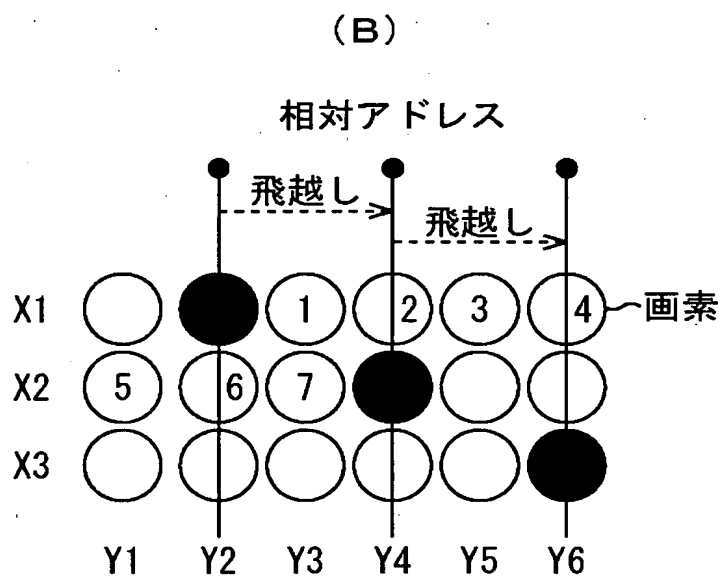
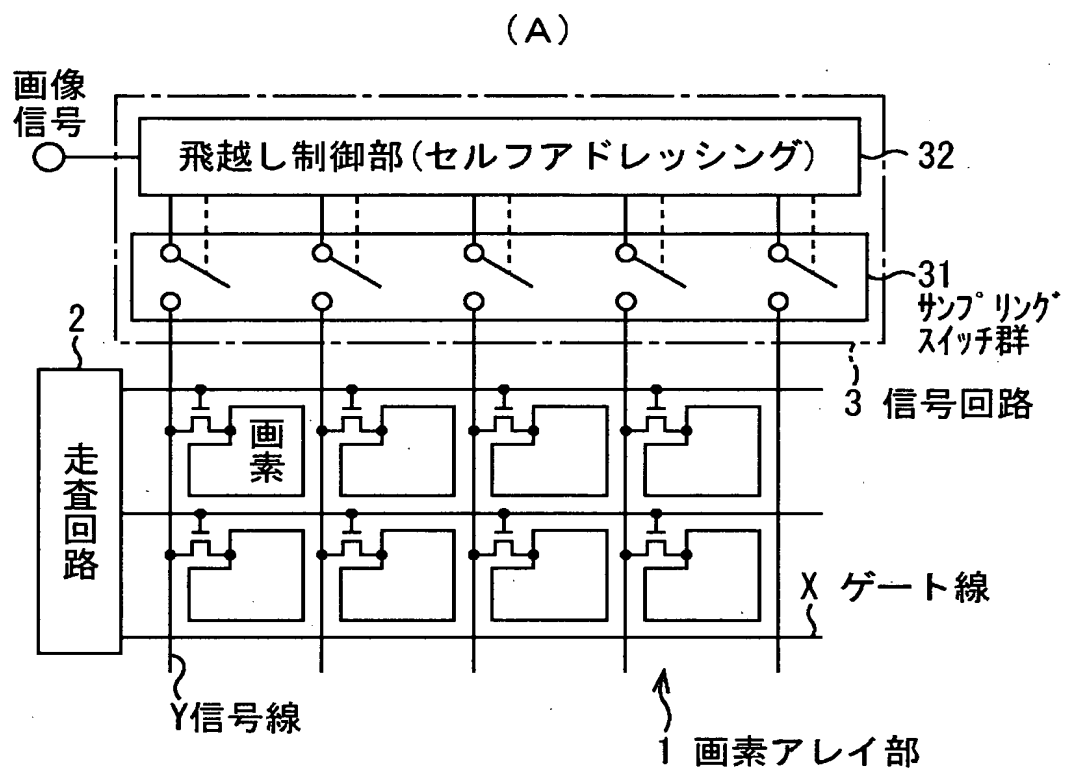
【符号の説明】

1 . . . 画素アレイ部、 2 . . . 走査回路、 3 . . . 信号回路、 4 . . . 信号処理部、 3 1 . . . サンプリングスイッチ群、 3 2 . . . 飛越し制御部、 4 1 . . . フレームメモリ、 4 2 . . . デイレイ、 4 3 . . . フレームメモリ、 4 4 . . . 差分検出部、 4 5 . . . 判別部、 4 6 . . . 画像データ生成部、 4 7 . . . 飛越しデータ生成部、 4 8 . . . 合成部、 3 2 1 . . . セレクタ、 3 2 2 . . . デコーダ、 3 2 2 1 . . . 分離部、 3 2 2 2 . . . 計数部、 3 2 2 3 . . . アドレスレジスタ



【書類名】 図面

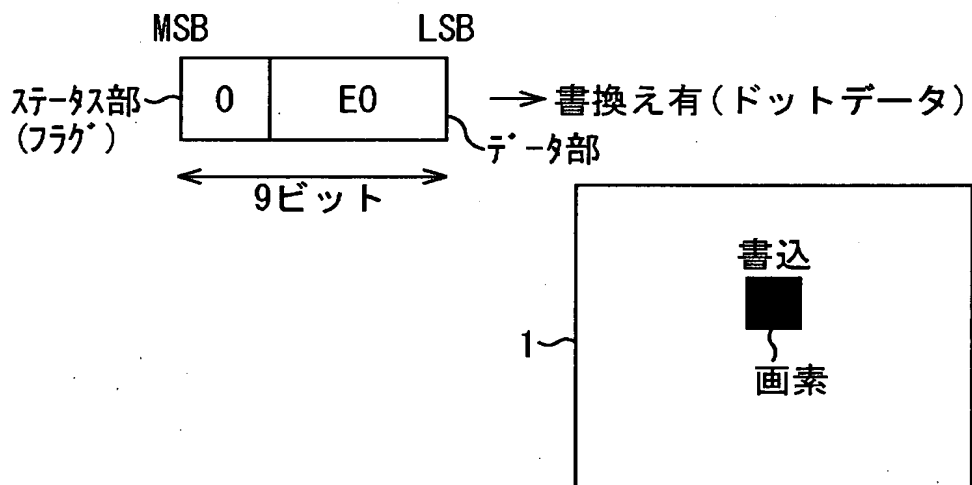
【図1】



【図 2】

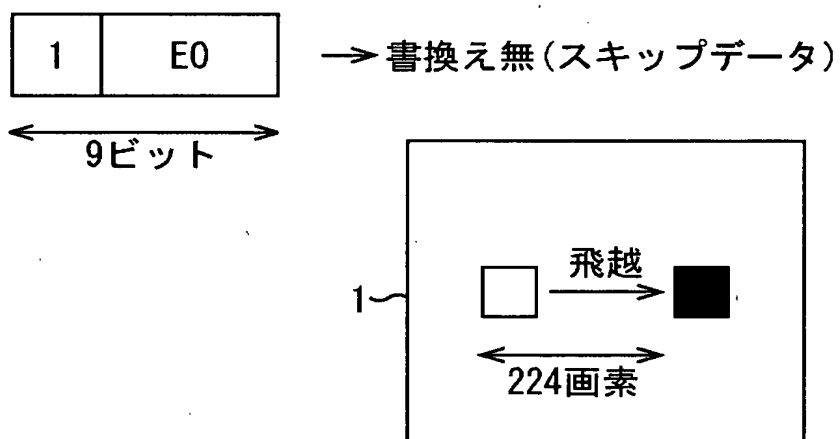
(A)

MSB=0

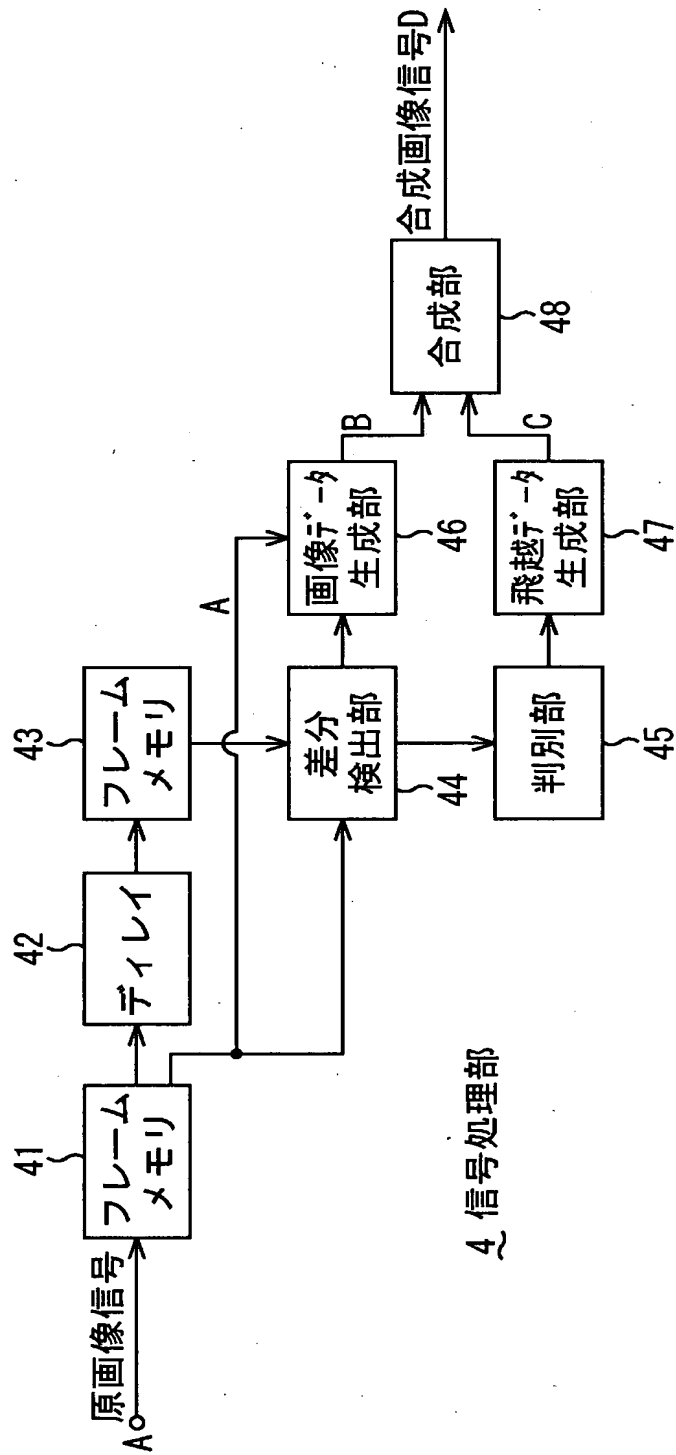


(B)

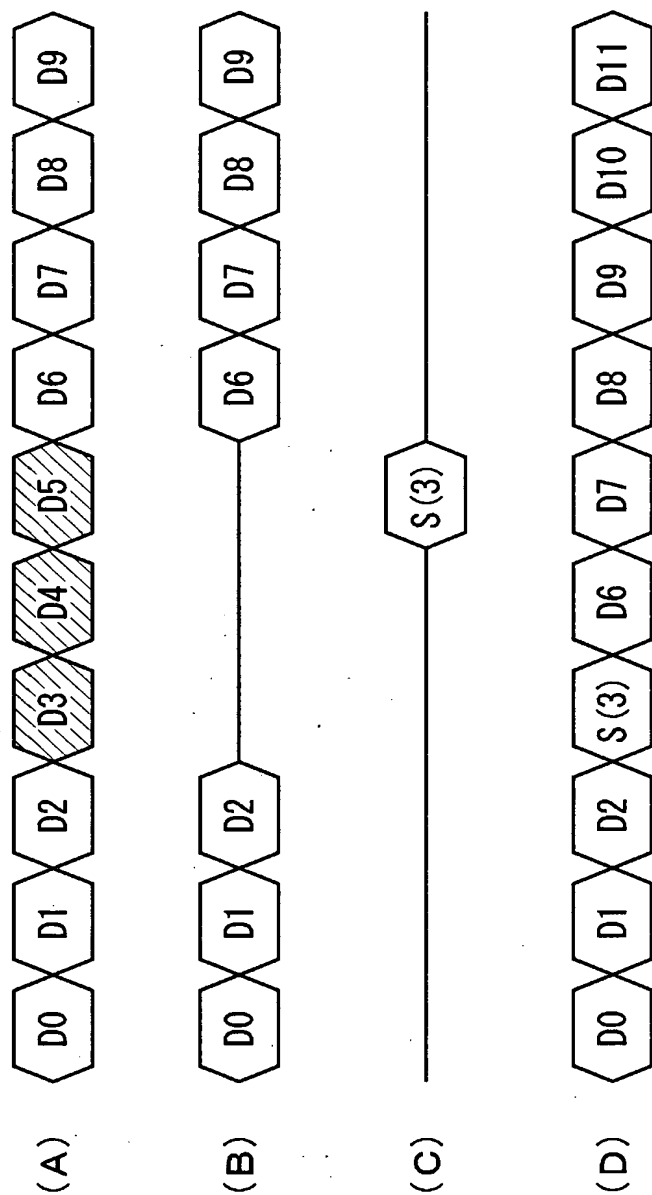
MSB=1



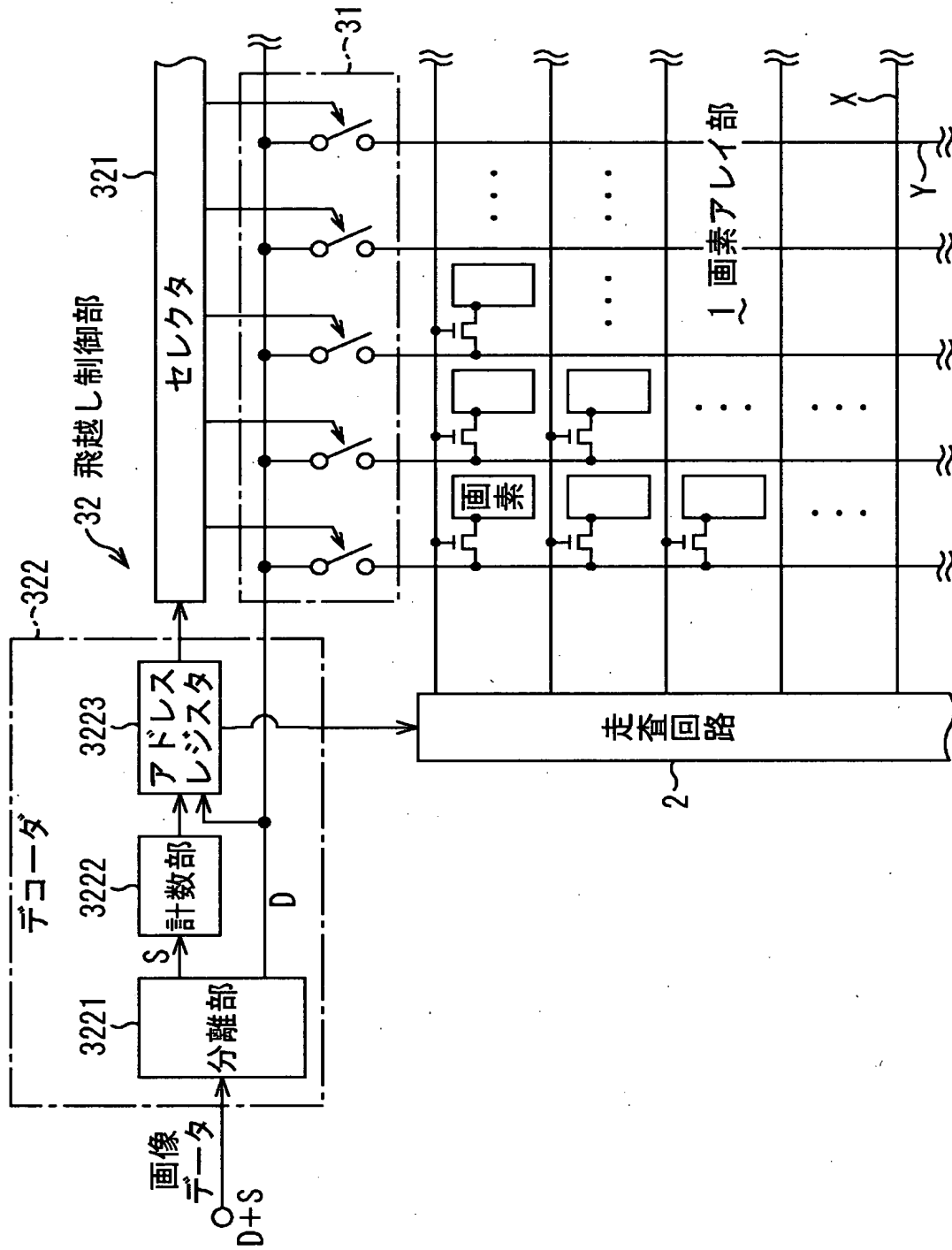
【図 3】



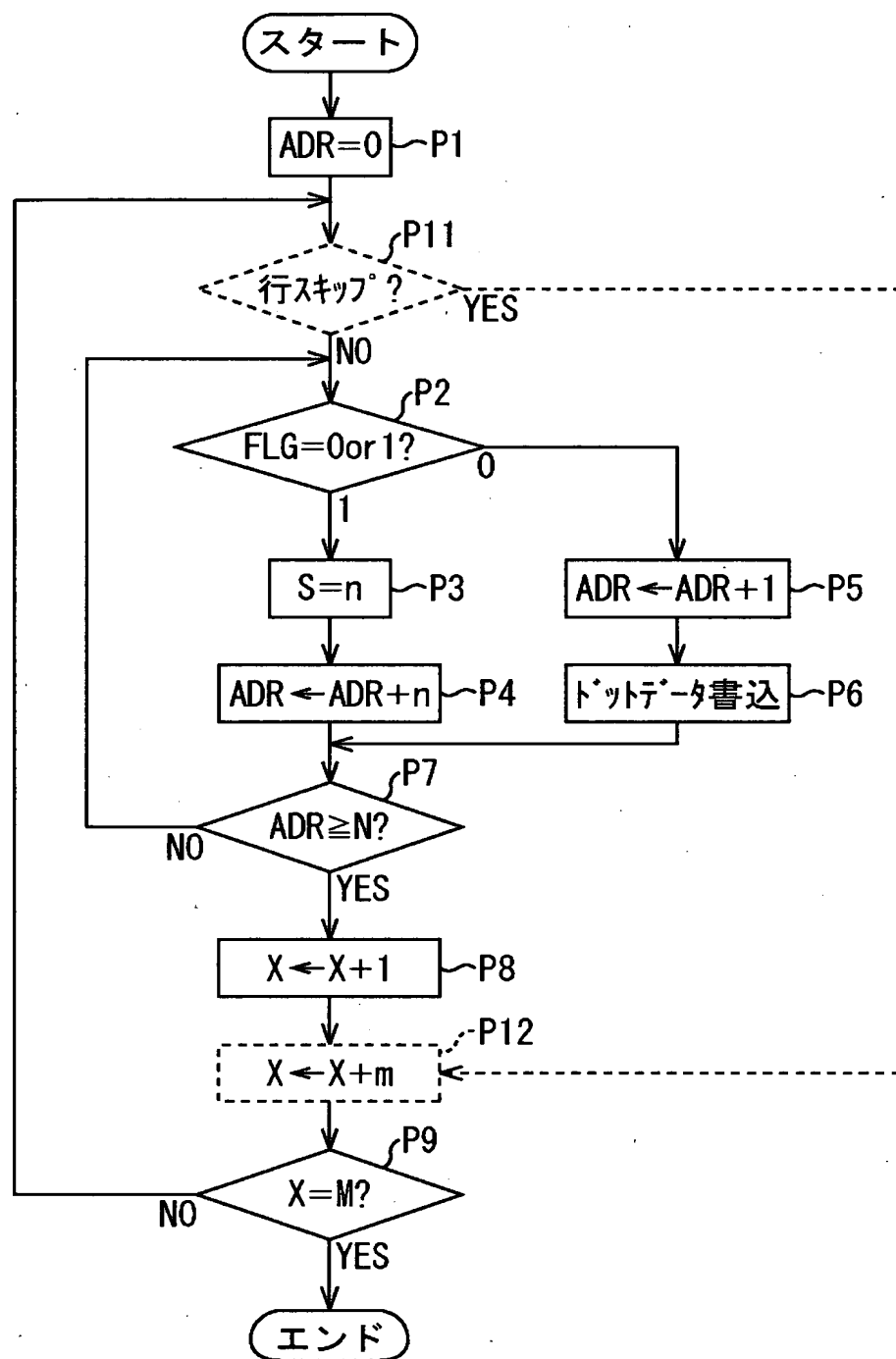
【図 4】



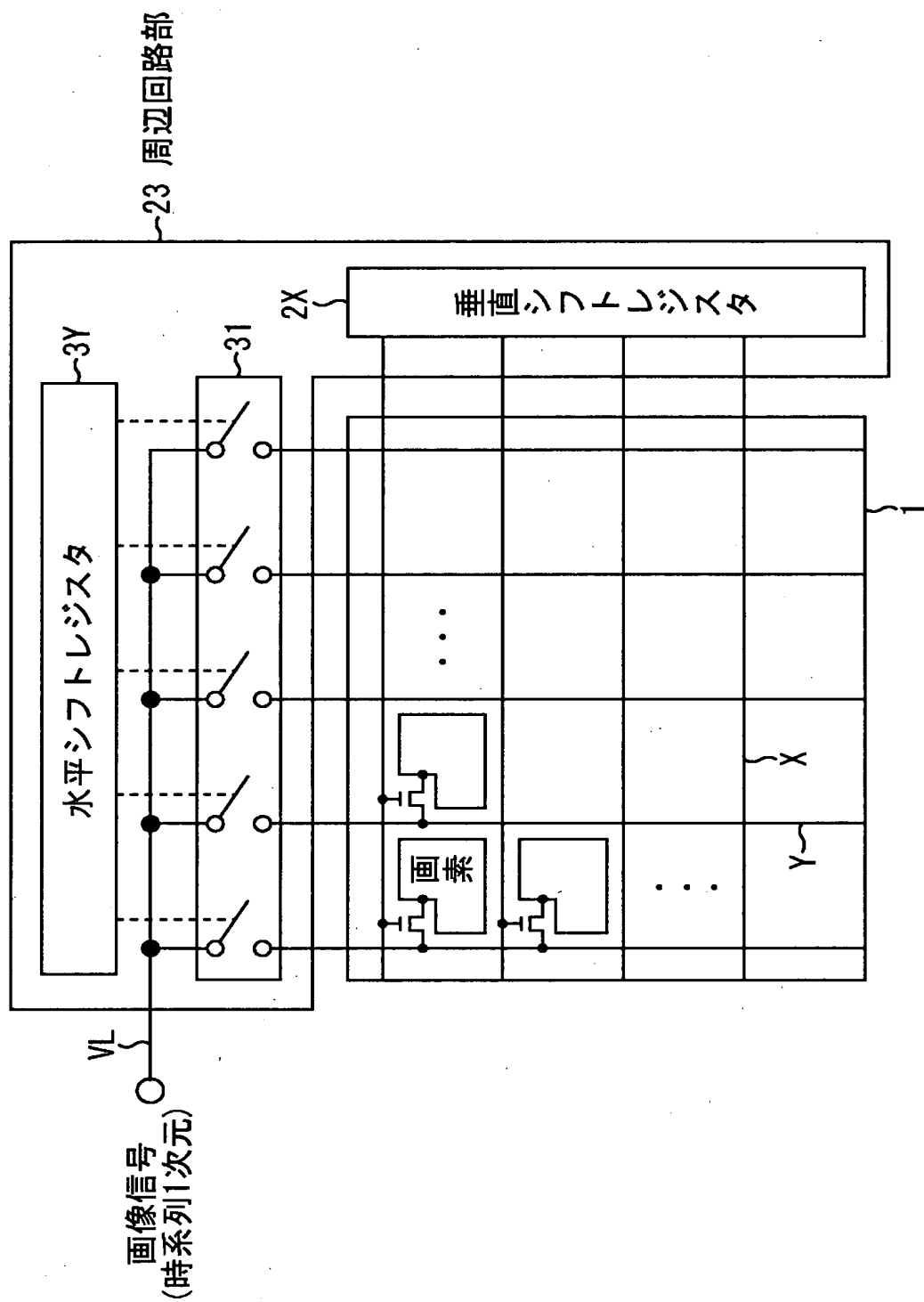
【図5】



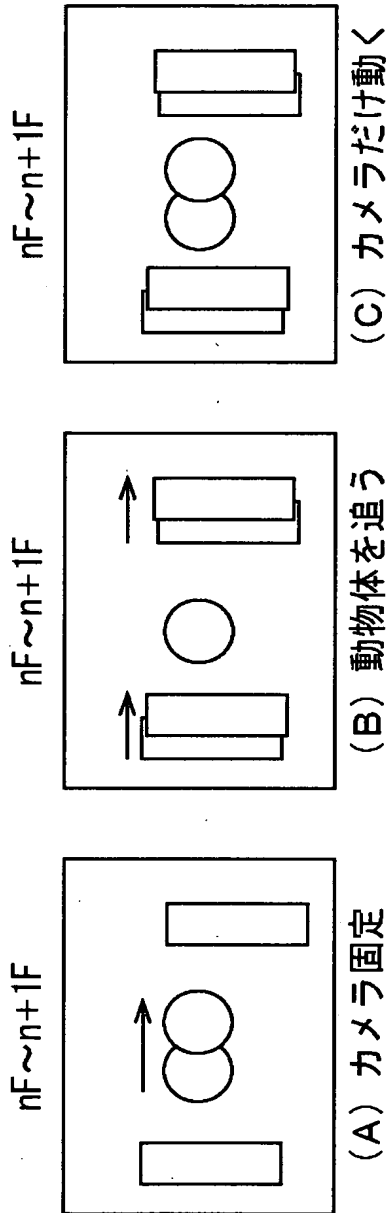
【図 6】



【图 7】

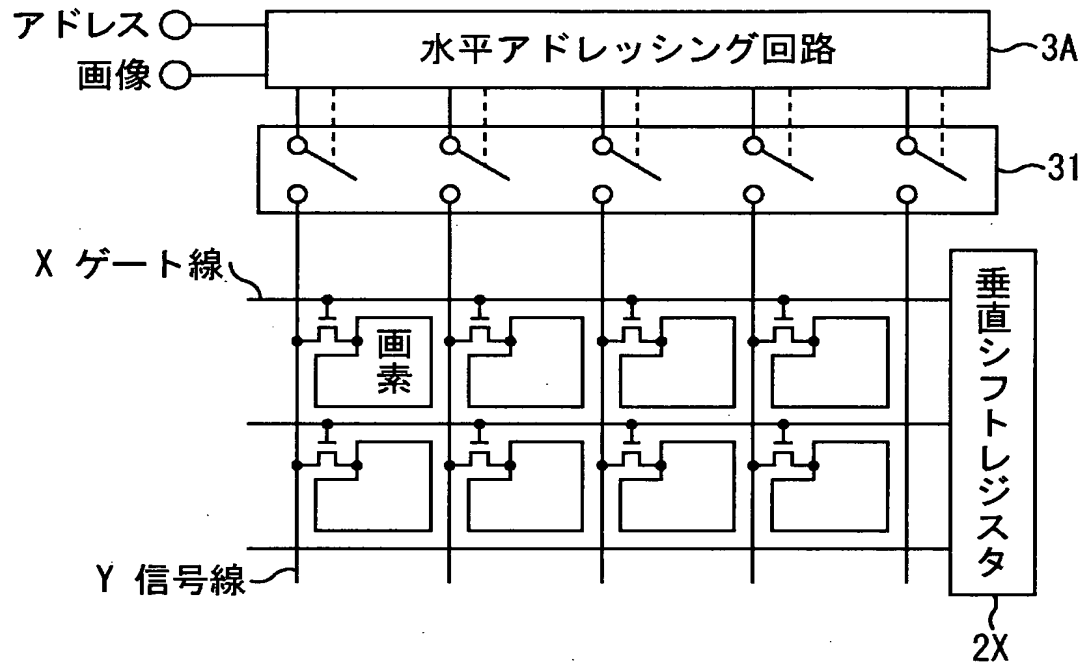


【図 8】

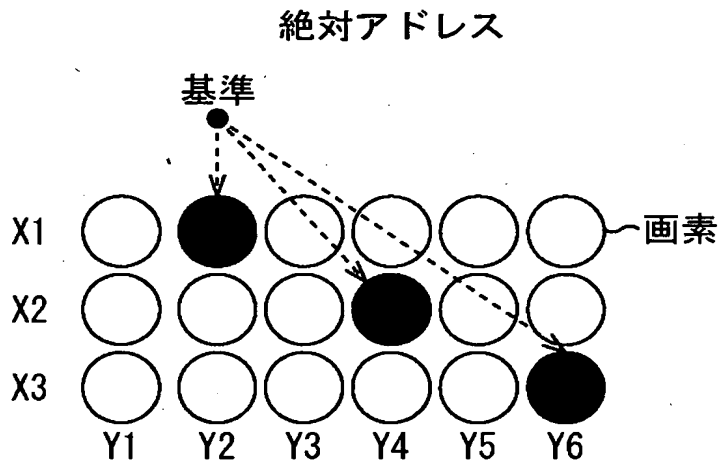




【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 周辺回路構成を複雑化することなく部分書き込みを可能としたアクティブマトリクス表示装置を提供する。

【解決手段】 アクティブマトリクス表示装置は、行列配置した画素を含む画素アレイ部 1 と、画素を行単位で順次選択する走査回路 2 と、各画素に対応するドットデータをシリアルに含む画像信号を受け入れ、選択された画素に該ドットデータを書き込む信号回路 3 とを備える。信号回路 3 は、書き換えるべき画素に対応するドットデータを含む一方書き換えない画素に対応するドットデータを含んでおらずその代りに飛越量を規定したスキップデータを含んだ画像信号を受け入れる。該ドットデータ及びスキップデータを逐次処理し、飛越量に応じて書き換え不要の画素を飛越しながら書き換えるべき画素にのみ対応するドットデータを書き込む。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社